

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 12 月 10 日
Application Date

申請案號：090130495
Application No.

申請人：力捷電腦股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 12 月 6 日
Issue Date

發文字號：09111023881
Serial No.

RECEIVED
JAN 10 2003
TECHNOLOGY CENTER 2800

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明型專利說明書

一、發明名稱	中 文	避免電荷耦合元件飽和之時序控制方法
	英 文	
二、發明人	姓 名	1 曾尚文 2 陳世煌
	國 籍	中華民國
	住、居所	1 基隆市暖暖街 196 巷 4-2 號 2 新竹市新莊街 206 巷 12 號
三、申請人	姓 名 (名稱)	力捷電腦股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區研發二路 1-1 號
	代 表 人 姓 名	黃崇仁

裝

訂

線

四、中文發明摘要(發明之名稱： 避免電荷耦合元件飽和之時序控制)方法

一種避免電荷耦合元件飽和之時序控制方法，此電荷耦合元件具有一移位暫存器、一末階暫存器與一像素處理電路，避免電荷耦合元件飽和之時序控制方法係藉著控制末階暫存器的信號傳送時序與像素處理電路的重置時序之工作週期，可減少由移位暫存器送至末階暫存器的電荷電壓，避免電荷耦合元件的飽和情況，並藉由適當的時序控制以得到較佳的影像品質。

英文發明摘要(發明之名稱：

)

五、發明說明(/)

本發明是有關於一種掃描器的時序控制方法，且特別是有關於一種使用於掃描器，可避免電荷耦合元件飽和之時序控制方法。

一般的彩色掃描器所使用的光感測元件是彩色電荷耦合元件(Charge Couple Device, CCD)，此彩色電荷耦合元件是由許多光感測胞(Photo Cell)所組成的，其可以感測出 R、G、B 三原色的光強度。如第 1 圖繪示交錯式電荷耦合元件的示意圖所示，光感測胞 102 感測文件所反射的光強度後，在光感測胞 102 會累積對應於此光強度的電荷量，這些電荷量經由傳輸閘 104、106 分別送至移位暫存器 108、110 後，在移位暫存器 108、110 就形成各種不同電位的電荷電壓。

此時，移位暫存器 108 根據電荷移出時序 Φ_1 之上升緣(rising edge)(或下降緣(falling edge))與移出時序 Φ_2 之下降緣(或上升緣)的交差時間點，將每一個電荷電壓依序地送至末階(Last Stage)暫存器 112，同樣地，移位暫存器 110 根據電荷移出時序 Φ_2 之上升緣(或下降緣)與移出時序 Φ_1 之下降緣(或上升緣)的交差時間點，將每一個電荷電壓依序地送至末階暫存器 114，如第 2 圖繪示習知交錯式電荷耦合元件之操作時序圖所示。在第 2 圖中，是以 1200dpi 的交錯式電荷耦合元件應用於 100dpi 之低解析度影像掃描為例，在電荷移出時序 Φ_1 、 Φ_2 的週期 T1~T6 中，移位暫存器 110 送出 6 個電荷電壓之電荷量(如第 2 圖中的電荷電壓 A、B、C、D、E、F)至末階暫存器 114，而在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 $T6$ 時，信號傳送時序 $\Phi 2L$ 由 "L" (即低準位) 轉 "H" (即高準位)，則末階暫存器 114 所保存的 6 個電荷電壓的電荷量送至像素處理電路 118。此時，重置時序 ΦRB 由 "L" 轉 "H"，其經由反相器 116 反相輸出 "H" 轉 "L" 的信號至像素處理電路 118，則像素處理電路 118 產生一重置電壓，來清除由末階暫存器 114 送至像素處理電路 118 的電荷電壓，即移位暫存器 110 送至末階暫存器 114 的 6 個電荷電壓全部丟棄不用。以此類推，由移位暫存器 110 送至末階暫存器 114 的電荷電壓將藉由像素處理電路 118 全部清除不用，故以下說明皆不討論移位暫存器 110、末階暫存器 114 與像素處理電路 118 對信號傳送時序 $\Phi 2L$ 的電路操作關係。

第 2 圖之時序操作的說明以第 1 圖之圖示做參考。在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 $T1$ 中，移位暫存器 108 將電荷電壓 A 送至末階暫存器 112，信號傳送時序 $\Phi 1L$ 為 "L"，使得末階暫存器 112 會保存住電荷電壓 A 的電荷量。

在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 $T2$ 中，移位暫存器 108 將電荷電壓 B 送至末階暫存器 112，信號傳送時序 $\Phi 1L$ 仍然為 "L"，末階暫存器 112 累積電荷電壓 A 的電荷量與電荷電壓 B 的電荷量，並且保存住所累積之電荷量的電荷電壓。此時，定位時序 CP 由 "L" 轉 "H"，則像素處理電路 118 產生一定位電壓。

在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 $T3$ 中，移位暫存器 108 將電荷電壓 C 送至末階暫存器 112，信號傳送時序 $\Phi 1L$ 仍然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（3）

為”L”，末階暫存器 112 累積電荷電壓 A、電荷電壓 B 與電荷電壓 C 的電荷量，並且保存住所累積之電荷量的電荷電壓。此時，取樣時序 CDS1 由”L”轉”H”，則像素處理電路 118 取樣定位電壓的電位，以做為比較用之參考電位。

在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 T4 中，移位暫存器 108 將電荷電壓 D 送至末階暫存器 112，信號傳送時序 $\Phi 1L$ 仍然為”L”，末階暫存器 112 累積電荷電壓 A、電荷電壓 B、電荷電壓 C 與電荷電壓 D 的電荷量，並且保存住所累積之電荷量的電荷電壓。

在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 T5 中，移位暫存器 108 將電荷電壓 E 送至末階暫存器 112，信號傳送時序 $\Phi 1L$ 仍然為”L”，末階暫存器 112 累積電荷電壓 A、電荷電壓 B、電荷電壓 C、電荷電壓 D 與電荷電壓 E 的電荷量，並且保存住所累積之電荷量的電荷電壓。

在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 T6 中，移位暫存器 108 將電荷電壓 F 送至末階暫存器 112，此時信號傳送時序 $\Phi 1L$ 由”L”轉為”H”，末階暫存器 112 累積電荷電壓 A、電荷電壓 B、電荷電壓 C、電荷電壓 D、電荷電壓 E 與電荷電壓 F 的電荷量，並且將所累加之電荷量的電荷電壓送至像素處理電路 118，而取樣時序 CDS2 由”L”轉”H”，像素處理電路 118 取樣此累加之電荷量的電荷電壓，其電荷電壓與先前取樣之定位電壓相比較所得到的差值，即為感測胞 102 所感測的光強度。在像素處理電路 118 完成影像資料處理後，則重置時序 ΦRB 由”L”轉”H”，其經由反相器 116 反相輸出”H”

五、發明說明(必)

轉“L”的信號至像素處理電路 118，在像素處理電路 118 產生一重置電壓，來清除由末階暫存器 112 送至像素處理電路 118 的電荷電壓，使像素處理電路 118 可以執行下一次影像資料的處理。

綜上所述，末階暫存器 112 所能儲存的電荷量之容量與移位暫存器 108 所能儲存的電荷量之容量是相同的，由移位暫存器 108 送 6 個電荷電壓之電荷量至末階暫存器 112，當這 6 個電荷電壓之電荷量累積起來超過末階暫存器 112 所能儲存的電荷量時，則超過的部分因末階暫存器 112 儲存電荷量的飽和而遺失掉，如此，將無法正確地反應感測胞 102 所感測的光強度。

為了解決上述的問題，其中一種方法將電荷耦合元件的曝光時間縮短，當電荷耦合元件的曝光時間縮短時，使感測胞所感測的電荷量會減少，由感測胞送所感測的電荷量至移位暫存器，移位暫存器再送所暫存的電荷量至末階暫存器，如此，末階暫存器所累積的電荷量較不會超過末階暫存器本身的電荷儲存量，則電荷耦合元件較不會產生飽和的問題。

但是，當電荷耦合元件的曝光時間縮短時，則電荷耦合元件送出電壓信號的時間縮短，即感測胞送所感測的電荷量至移位暫存器、移位暫存器再送所暫存的電荷量至末階暫存器以及末階暫存器送所累積的電荷量至像素處理電路之各個時序的週期變短，使其各個時序的頻率變快。若電荷耦合元件之工作時序的頻率變快時，容易使電荷耦

五、發明說明(5)

合元件所感測的信號受到高頻雜訊干擾，而造成影像失真的情況，而且，受限於掃描器之機械結構(如步進馬達的轉動速度)，並不能無限制地縮短電荷耦合元件的曝光時間，所以不能完全解決電荷耦合元件的飽和問題。

因此本發明係提供一種避免電荷耦合元件飽和之時序控制方法，其方法是控制信號傳送時序與重置時序的工作週期，使得末階暫存器不會出現儲存電荷量的飽和情況。

本發明係提供一種避免電荷耦合元件飽和之時序控制方法，此電荷耦合元件具有一移位暫存器、一末階暫存器與一像素處理電路，避免電荷耦合元件飽和之時序控制方法的步驟包括：首先，在信號傳送時序中的第一累積週期中，由末階暫存器接收移位暫存器所送出的電荷電壓，以成為一累積電壓；接著，在信號傳送時序中的第一移出週期中，由末階暫存器送出累積電壓至像素處理電路；然後，在重置時序中的非重置週期中，可取得送至像素處理電路中的累積電壓所對應之光強度；再者，在信號傳送時序中的第二累積週期中，由末階暫存器接收移位暫存器所送出的電荷電壓，以成為一丟棄電壓；其次，在信號傳送時序中的第二移出週期中，由末階暫存器送出丟棄電壓至像素處理電路；以及，在重置時序中的重置週期中，由像素處理器產生一重置電壓，將末階暫存器送至像素處理電路之丟棄電壓清除掉。如此，控制信號傳送時序與重置時序的工作週期，可減少由移位暫存器送至末階暫存器的電

五、發明說明(6)

荷電壓，避免電荷耦合元件的飽和情況。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示交錯式電荷耦合元件的示意圖；

第 2 圖繪示習知交錯式電荷耦合元件之操作時序圖；

以及

第 3 圖繪示本發明交錯式電荷耦合元件之操作時序圖。

標號說明：

102：光感測胞(Photo Cell)

104，106：傳輸閘(Transfer Gate)

108，110：移位暫存器(Shift Register)

112，114：末階暫存器(Last Stage Register)

116：反相器(Inverter)

118：像素處理電路(Pixel Processing Circuit)

實施例

為了解決習知由多個移位暫存器送電荷電壓至末階暫存器，使得末階暫存器累積過多的電荷量，而造成電荷耦合元件的飽和問題，所以本發明控制電荷耦合元件的操作時序，來減少由移位暫存器送電荷電壓至末階暫存器的數量，如此，在末階暫存器累積的電荷量就不會過多，而使得電荷耦合元件有飽和的情況。

五、發明說明(2)

上述之解決方法，請參照第 3 圖，其繪示本發明交錯式電荷耦合元件之操作時序圖，並以第 1 圖做為參考說明。在第 3 圖中，同樣以 1200dpi 的交錯式電荷耦合元件應用於 100dpi 之低解析度影像掃描為例。如上所述，在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的 6 個週週期中，移位暫存器 110 送出 6 個電荷電壓之電荷量(如第 3 圖中的 A、B、C、D、E、F)至末階暫存器 114，而在信號傳送時序 $\Phi 2L$ 由 "L" 轉 "H" 時，末階暫存器 114 所保存的 6 個電荷電壓的電荷量送至像素處理電路 118。此時，並在重置時序 ΦRB 由 "L" 轉 "H"，其經由反相器 116 反相輸出 "H" 轉 "L" 的信號至像素處理電路 118，由像素處理電路 118 產生一重置電壓，來清除由末階暫存器 114 送至像素處理電路 118 的電荷電壓，即移位暫存器 110 送至末階暫存器 114 的 6 個電荷電壓全部丟棄不用。以此類推，由移位暫存器 110 送至末階暫存器 114 的電荷電壓將藉由像素處理電路 118 全部清除不用，故以下說明皆不討論移位暫存器 110、末階暫存器 114 與像素處理電路 118 對信號傳送時序 $\Phi 2L$ 的電路操作關係。

在電荷移出時序 $\Phi 1$ ， $\Phi 2$ 的週期 T1 中，移位暫存器 108 將電荷電壓 A 送至末階暫存器 112，信號傳送時序 $\Phi 1L$ 由 "L" 轉 "H"，，使得末階暫存器 112 將保存之電荷電壓 A 的電荷量送至像素處理電路 118，而重置時序 ΦRB 是在 "H" 的狀態，其經由反相器 116 反相輸出 "L" 的信號至像素處理電路 118，由像素處理電路 118 產生重置電壓來清除由末階暫存器 112 送至像素處理電路 118 的電荷電壓 A。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

在電荷移出時序 $\Phi 1$, $\Phi 2$ 的週期 T2 中, 移位暫存器 108 將電荷電壓 B 送至末階暫存器 112, 信號傳送時序 $\Phi 1L$ 已由 "H" 轉為 "L", 末階暫存器 112 保存電荷電壓 B 的電荷量。此時, 定位時序 CP 由 "L" 轉 "H", 則像素處理電路 118 產生一定位電壓。

在電荷移出時序 $\Phi 1$, $\Phi 2$ 的週期 T3 中, 移位暫存器 108 將電荷電壓 C 送至末階暫存器 112, 信號傳送時序 $\Phi 1L$ 仍然為 "L", 末階暫存器 112 累積電荷電壓 B 與電荷電壓 C 的電荷量, 並且保存住所累積之電荷量的電荷電壓。

在電荷移出時序 $\Phi 1$, $\Phi 2$ 的週期 T4 中, 移位暫存器 108 將電荷電壓 D 送至末階暫存器 112, 此時信號傳送時序 $\Phi 1L$ 仍為 "L", 末階暫存器 112 累積電荷電壓 B、電荷電壓 C 與電荷電壓 D 的電荷量, 並且保存住所累積之電荷量的電荷電壓。此時, 取樣時序 CDS1 由 "L" 轉 "H", 則像素處理電路 118 取樣定位電壓的電位, 以做為比較用之參考電位。

在電荷移出時序 $\Phi 1$, $\Phi 2$ 的週期 T5 中, 移位暫存器 108 將電荷電壓 E 送至末階暫存器 112, 信號傳送時序 $\Phi 1L$ 由 "L" 轉為 "H", 末階暫存器 112 累積電荷電壓 B、電荷電壓 C、電荷電壓 D 與電荷電壓 E 的電荷量, 並且將所累加之電荷量的電荷電壓送至像素處理電路 118, 而此時取樣時序 CDS2 由 "L" 轉 "H", 像素處理電路 118 取樣此累加之電荷量的電荷電壓, 其電荷電壓與先前取樣之定位電壓相比較所得到的差值, 即為感測胞 102 所感測的光強度。

在電荷移出時序 $\Phi 1$, $\Phi 2$ 的週期 T6 中, 移位暫存器 108

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

將電荷電壓 F 送至末階暫存器 112，此時信號傳送時序 Φ_{IL} 由 "H" 轉為 "L"，末階暫存器 112 保存電荷電壓 F 的電荷量，等待下一個電荷電壓(如第 3 圖中的電荷電壓 A)存入末階暫存器 112，然後將末階暫存器 112 所累加之電荷量的電荷電壓送至像素處理電路 118，當重置時序 Φ_{RB} 再次由 "L" 轉為 "H" 時，像素處理電路 118 會產生重置電壓，此重置電壓會清除掉末階暫存器 112 所送出的電荷電壓。

如上所述，原本由移位暫存器 108 要送 6 個電荷電壓的電荷量至末階暫存器 112，藉由改變信號傳送時序 Φ_{IL} 對重置時序 Φ_{RB} 的工作週期，末階暫存器 112 送至像素處理電路 118 的 4 個電荷電壓(如第 3 圖中的電荷電壓 B、D、E、F)的電荷量會藉由像素處理電路 118 處理成為類比信號，而末階暫存器 112 所送出的 2 個電荷電壓(如第 3 圖中的電荷電壓 A、F)的電荷量，由像素處理電路 118 丟棄不用。所以，當決定由移位暫存器 108 要送幾個電荷電壓的電荷量至末階暫存器 112 時，只要簡易地改變信號傳送時序 Φ_{IL} 對重置時序 Φ_{RB} 的工作週期，便可解決電荷耦合元件的飽和問題。而且，電荷耦合元件中的各個時序並非操作在很高的頻率，所以電荷耦合元件所感測的信號不會受到高頻雜訊干擾，而造成影像失真的情況。

因此，本發明的優點係是控制信號傳送時序與重置時序的工作週期，減少由移位暫存器送電荷電壓的數量至末階暫存器，使得末階暫存器所累積的電荷量不會過多，如此可避免電荷耦合元件出現的飽和情況。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

本發明的另一優點係是電荷耦合元件中的各個時序並非操作在高頻，則電荷耦合元件所感測的信號不會受到高頻雜訊干擾，而造成影像失真的情況。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種避免電荷耦合元件飽和之時序控制方法，該電荷耦合元件具有一移位暫存器、一末階暫存器與一像素處理電路，避免電荷耦合元件飽和之時序控制方法的步驟包括：

在一信號傳送時序中之一第一累積週期中，由該末階暫存器接收該移位暫存器所送出之一電荷電壓，以成為一累積電壓；

在該信號傳送時序中之一第一移出週期中，由該末階暫存器送出該累積電壓至該像素處理電路；

在一重置時序中之一非重置週期中，取得送至該像素處理電路之該累積電壓所對應之一光強度；

在該信號傳送時序中之一第二累積週期中，由該末階暫存器接收該移位暫存器所送出之該電荷電壓，以成為一丟棄電壓；

在該信號傳送時序中之一第二移出週期中，由該末階暫存器送出該丟棄電壓至該像素處理電路；以及

在該重置時序中之一重置週期中，由該像素處理器產生一重置電壓，將該末階暫存器送至該像素處理電路之該丟棄電壓清除掉。

2. 如申請專利範圍第 1 項所述之避免電荷耦合元件飽和之時序控制方法，其中由該移位暫存器送出該電荷電壓至該末階暫存器，係根據一電荷移出時序之一上升緣與一下降緣之二者擇其一。

3. 如申請專利範圍第 1 項所述之避免電荷耦合元件

六、申請專利範圍

飽和之時序控制方法，其中在該信號傳送時序中之該第一移出週期中，由該移位暫存器送至該末階暫存器之該電荷電壓，也會由該末階暫存器送至該像素處理電路中。

4. 如申請專利範圍第 1 項所述之避免電荷耦合元件飽和之時序控制方法，其中在該信號傳送時序中之該第二移出週期中，由該移位暫存器送至該末階暫存器之該電荷電壓，也會由該末階暫存器送至該像素處理電路中。

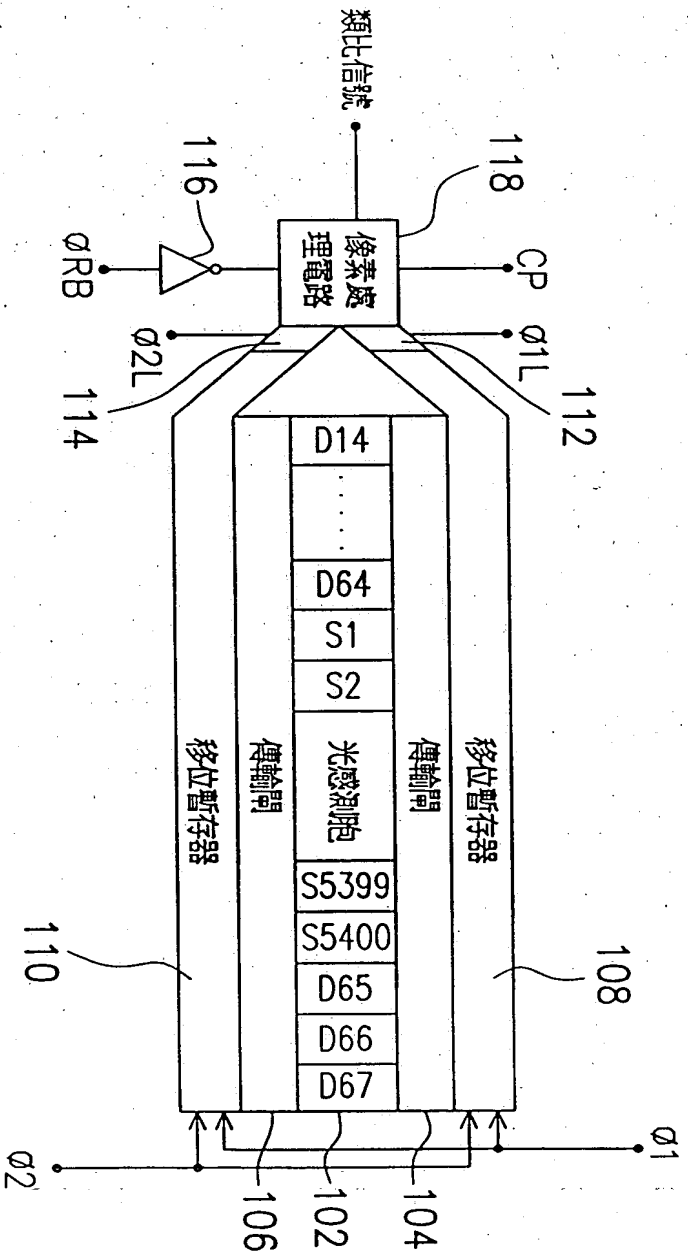
5. 如申請專利範圍第 1 項所述之避免電荷耦合元件飽和之時序控制方法，其中避免電荷耦合元件飽和之時序控制方法係為避免交錯式電荷耦合元件飽和之時序控制方法。

(請先閱讀背面之注意事項再填寫本頁)

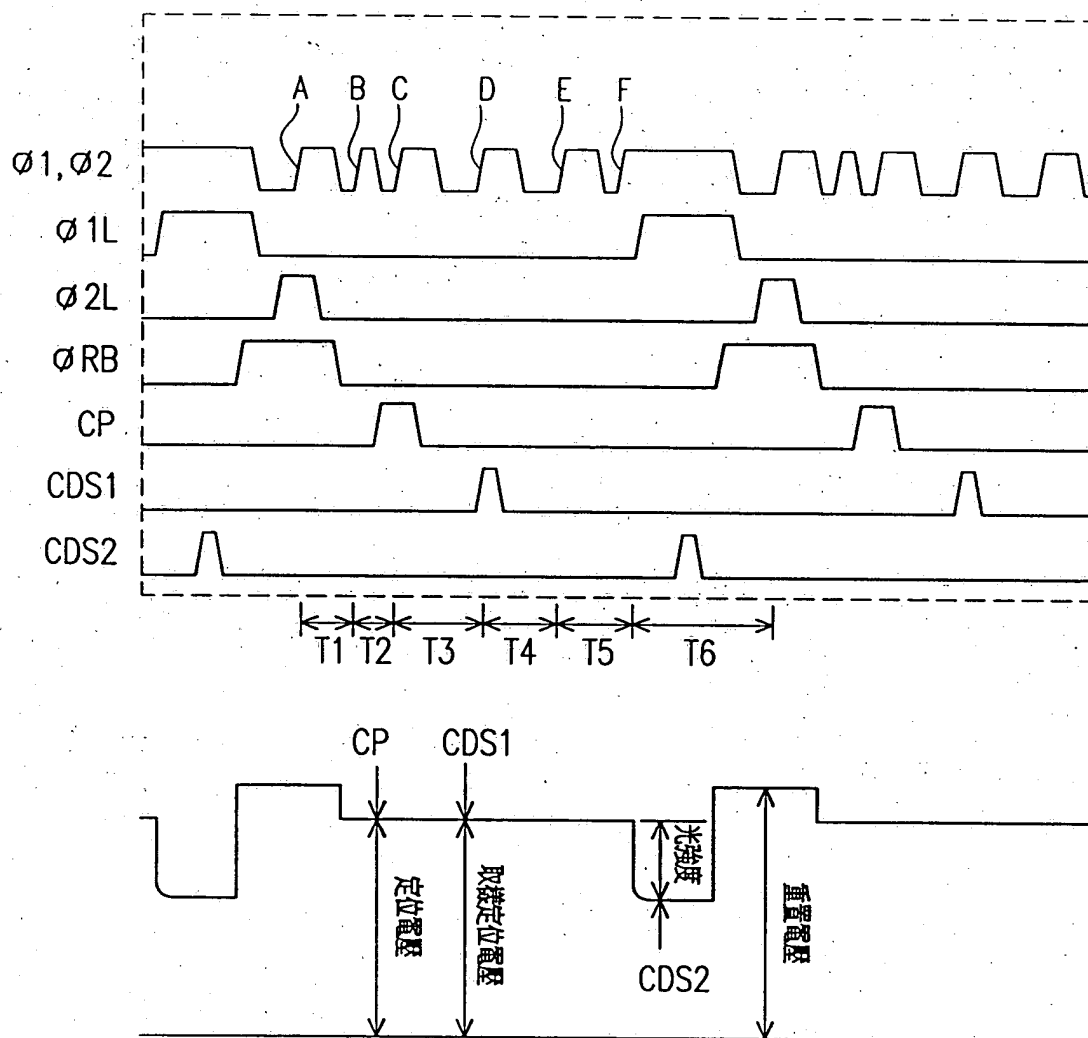
裝

訂

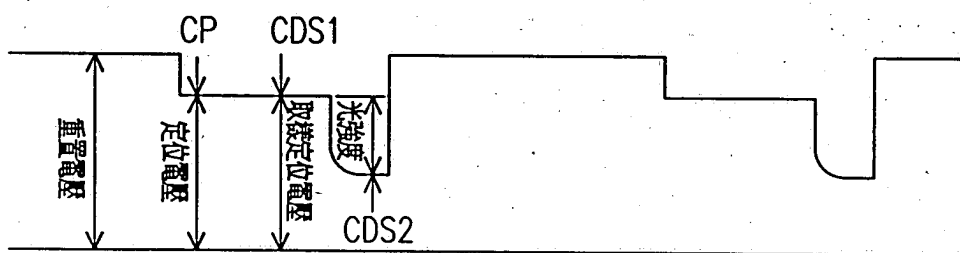
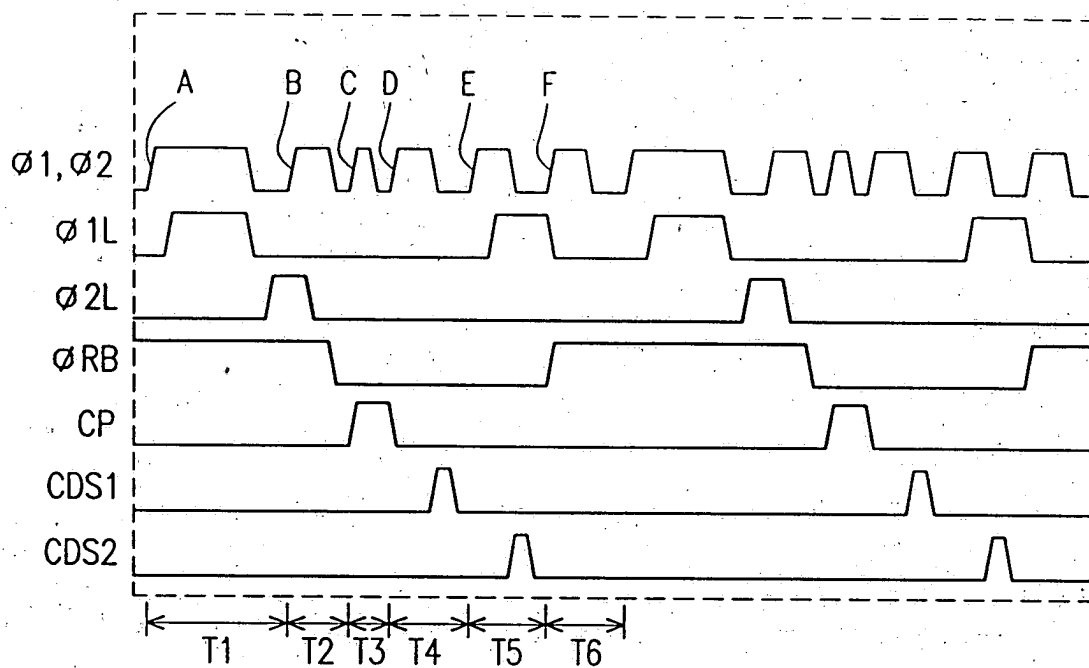
線



第 1 圖



第 2 圖



第 3 圖